

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-368008

(43)Date of publication of application : 20.12.2002

(51)Int.Cl.

H01L 21/336

H01L 29/78

(21)Application number : 2001-168760

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.06.2001

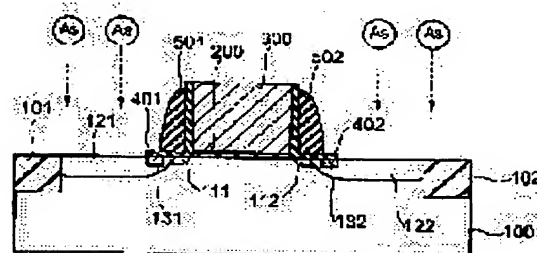
(72)Inventor : TSUCHIAKI MASAKATSU

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To maintain a shallow source/drain junction position, and at the same time to reduce junction leak in MOSFET structure where a silicide layer is formed on the source/drain.

**SOLUTION:** In the manufacturing method of a semiconductor device having MOSFET structure where a silicide layer is provided at the upper section of the source and drain regions at the surface section of a silicon substrate 100 while sandwiching the gate electrode 300, and a portion near the gate electrode 300 of the source and drain regions is shallow diffusion layers 111 and 112, and the outside is deep diffusion layers 121 and 122, As is subjected to ion implantation in self-alignment manner via oxide films 401 and 402 whose one portion is exposed from the gate side section near the gate electrode side of the deep diffusion layers 121 and 122 for composing the source and drain regions, a Co film is deposited onto the source and drain regions after the oxide films 401 and 402 at the exposed portion are removed, and then heat treatment is made for changing the Co film into silicide.



## LEGAL STATUS

[Date of request for examination]

14.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3769208

[Date of registration]

10.02.2006

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-368008  
(P2002-368008A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/336  
29/78

識別記号

F I

H 0 1 L 29/78

テーマコード(参考)

3 0 1 P 5 F 1 4 0

審査請求 未請求 請求項の数12 O L (全 10 頁)

(21) 出願番号 特願2001-168760(P2001-168760)

(22) 出願日 平成13年6月4日(2001. 6. 4)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 土明 正勝

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

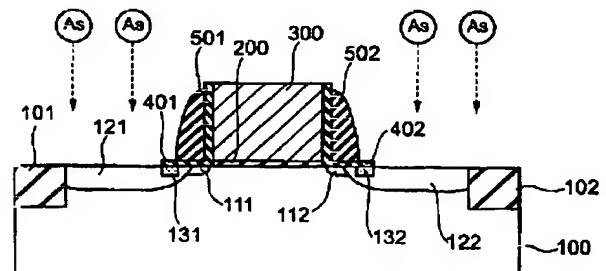
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法と半導体装置

(57) 【要約】

【課題】 ソース・ドレイン上にシリサイド層を形成したMOSFET構造で、浅いソース・ドレイン接合位置を保ちつつ、且つ接合リークを低く抑える。

【解決手段】 シリコン基板100の表面部にゲート電極300を挟んで形成されるソース・ドレイン領域の上部にシリサイド層を有し、ソース・ドレイン領域のゲート電極300に近い部分が浅い拡散層111、112で、その外側が深い拡散層121、122であるMOSFET構造の半導体装置の製造方法において、ソース・ドレイン領域を構成する深い拡散層121、122のゲート電極側近傍に、ゲート側部から一部露出した酸化膜401、402を介して自己整合的にAsをイオン注入し、次いで露出部分の酸化膜401、402を除去した後にはソース・ドレイン領域上にC<sub>60</sub>膜を堆積し、次いで熱処理を施してC<sub>60</sub>膜をシリサイド化する。



## 【特許請求の範囲】

【請求項1】シリコン基板の表面部にゲート電極を挟んで形成されるソース・ドレイン領域の上部にシリサイド層を有するMOSFET構造の半導体装置の製造方法であって、

前記ソース・ドレイン領域の表面の少なくとも一部に、酸化膜を介して所定のイオンを注入する工程と、次いで前記ソース・ドレイン領域上に金属膜を堆積する工程と、次いで熱処理を施して前記金属膜をシリサイド化する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項2】前記酸化膜を介して所定のイオンを注入する領域は、前記ソース・ドレイン領域のゲート電極側近傍であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記金属膜が前記ソース・ドレイン領域に直接接するように、該金属膜の形成前に前記酸化膜を除去することを特徴とする請求項1又は2記載の半導体装置の製造方法。

【請求項4】前記金属膜として、Coを用いることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】前記注入するイオンは、Asであることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】前記Asのイオン注入量を、 $1 \cdot 1 \times 10^{14} \text{ cm}^{-2}$ 以上に設定したことを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】前記イオンの注入により前記基板をアモルファス化させることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項8】前記酸化膜は、前記ゲート電極の側壁の一部を構成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項9】前記注入イオンの飛程は、その後のシリサイド化反応で消費されるシリコン層の厚みよりも小さいことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項10】シリコン基板の表面部にゲート電極を挟んで形成されるソース・ドレイン領域の上部にシリサイド層を有し、ソース・ドレイン領域のゲート電極に近い部分が浅い拡散層で、その外側が深い拡散層である、MOSFET構造の半導体装置の製造方法であって、前記ソース・ドレイン領域を構成する深い拡散層の前記ゲート電極側近傍に、酸化膜を介して所定のイオンを注入する工程と、次いで前記酸化膜を除去した後に前記ソース・ドレイン領域上に金属膜を堆積する工程と、次いで熱処理を施して前記金属膜をシリサイド化する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項11】シリコン基板の表面上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクにソース・ドレイン領域となる

浅い拡散層を形成する工程と、

前記ゲート電極及び基板の表面に酸化膜を形成する工程と、

全面に窒化膜を堆積した後にエッチバックすることにより、前記ゲート電極の側部に該窒化膜を残存させる工程と、

前記ゲート電極及び窒化膜をマスクにソース・ドレイン領域となる深い拡散層を形成する工程と、

前記窒化膜を後退させて前記酸化膜を一部露出させる工程と、

前記ゲート電極及び窒化膜をマスクにソース・ドレイン領域に所定のイオンを注入することにより、ソース・ドレインの深い拡散層領域のゲート電極側近傍に酸化膜を介してイオン注入する工程と、

前記窒化膜の後退により一部露出した酸化膜を除去する工程と、

前記ソース・ドレイン領域上に金属膜を形成する工程と、

熱処理により前記金属膜をシリサイド化する工程と、を含むことを特徴とするMOSFET構造の半導体装置の製造方法。

【請求項12】シリコン基板の表面上にゲート絶縁膜を介して形成されたゲート電極と、このゲート電極を挟んで前記基板の表面部に形成されたソース・ドレイン領域と、前記ゲート電極の側部に形成された側壁絶縁膜と、前記ソース・ドレイン領域上に形成されたシリサイド層とを具備してなり、

前記ゲート電極の側部に隣接したシリサイド層と基板シリコン層との界面に、酸素原子が $4 \cdot 5 \times 10^{19} \text{ cm}^{-3}$ 以上の濃度、 $5 \times 10^{13} \text{ cm}^{-2}$ 以上の面密度で偏析していることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電界効果型トランジスタ（以下、MOSFETと略記する）等の半導体装置の製造技術に係わり、特にシリサイド化されたソース・ドレイン領域を有する半導体装置の製造方法、更には半導体装置に関する。

## 【0002】

【従来の技術】半導体装置の主要な構成要素であるMOSFETの微細化を考えた場合、チャネル長（即ちゲート電極の長さ）の縮小に伴いしきい値電圧が下降する、いわゆる短チャネル効果が大きな問題となる。この短チャネル効果は、ソース及びドレインを形成するpn接合を浅くすることで回避できるが、単にpn接合を浅くすると、これにより構成されているソース・ドレイン領域の抵抗が増大し、素子を伝わる信号の高速伝達を阻害することになる。

【0003】そこで最近、ソース及びドレインの低抵抗化を図るために、ソース・ドレイン領域の上部を一部、

金属と化合物（シリサイド化）させることが行われている。シリサイドを行うための金属種としては、Co、Ti、Niのような元素が使用されている。このうち、細線形状にしたときに電気抵抗の上昇（細線効果）が見られず、高温での安定性を保持し、微細化LSIに対応可能なシリサイド化用の金属種はCoである。

【0004】しかし、ソース・ドレイン領域の浅い拡散層に対してシリサイドを行うと、金属原子がソース・ドレイン領域を形成するシリコン中を急速に拡散し、接合部分にまで到達してしまう。このため、接合のリークをもたらすことになる。金属原子の拡散は極めて高速で、Coの場合、シリサイド化を行うために800℃、30secの急速熱処理を行っただけで、150nmの深さにまで達してしまうほどである。

【0005】図7に、接合深さを変えたn<sup>+</sup>/p接合上に、Coシリサイドを35nm形成した場合Aの接合リークの値を、シリサイドを施さなかった接合の参照データBと共に示す。シリサイドを形成した場合Aでは、シリサイド膜よりずっと深い接合深さ150nm付近で既に接合リークが発生している。これは、Co原子が基板中に拡散した結果である。このように深く侵入した金属原子により、接合を通じて電流が漏れ出すと、素子の動作が損なわれたり、DRAMなどの記憶素子では書き込まれた情報が失われてしまい、半導体装置の本来の機能が喪失する。

【0006】このような問題に対処するため、ソース・ドレインを形成しようとする半導体基板表面部分に選択的に半導体物質を追加形成し、この領域の表面をもととの半導体表面（即ちチャネルの形成される面）より上方に移動させ、この追加形成された表面を通じてソース・ドレイン領域のpn接合の形成及びシリサイド層の形成を行う方法（Elevated source drain method）が提案されている。この方法では、接合の位置は本来の半導体表面（即ちチャネルの形成される面）に対しては浅く、新たに形成された表面からは深く、従ってソース・ドレインを形成する電極部分の厚み（拡散層の厚み）を確保することができる。

【0007】こうした選択シリコン成長は、エピタキシャル成長技法を用いて達成することができる。但し、この手法において、最終的に形成されるべきソース・ドレイン領域のpn接合の接合位置は、本来の半導体表面（即ちチャネルの形成される面）、或いはこれより若干下方に極めて精度良く調整されなければならない。何故ならば、接合部分がこの表面（チャネル面）の上方に位置した場合、このMOSFETの電流駆動力は著しく低下する。また、接合がこの表面より大きく下方に形成されると、短チャネル効果が起こってしまうからである。

【0008】ところが、このエピタキシャル成長技法は選択成長を行う表面状態に非常に敏感である。例えば、成膜されるシリコンの膜厚は、その下方にある基板表面

の荒れや結晶構造によって変わってくる。また、その膜質（欠陥の有無）も表面の形状により異なって来る可能性がある。例えば、成長直前の基板表面の自然酸化膜や、ゲート電極加工時に導入されるダメージなどによって、ソース・ドレイン領域上に成膜されるシリコン層の厚さ、及びその膜質は素子毎に異なってくる場合がある。

【0009】このように追加形成されるシリコン膜厚が不均一であると、pn接合の接合部分を本来の半導体基板表面（即ちチャネルの形成される面）付近に形成することが極めて困難となる。何故なら、ソース・ドレイン領域を形成するべき不純物は、追加形成されたシリコン表面より導入されるため、接合はこの表面から一定の位置に形成される。ところが、これに対し膜厚が不均一であると、本来の半導体表面（即ちチャネルの形成される面）の追加形成されたシリコン表面よりの相対位置は不定となる。従って、接合面を形成すべき位置も不定になってしまうからである。

【0010】また、このように追加形成されるシリコン膜質が不均一である場合も、pn接合の接合部分を半導体基板表面（チャネルの形成される面）下の目的の位置に精度良く一致させることは困難となる。膜質（即ち結晶欠陥の有無）により、この中の不純物拡散の速度が変動を受け（Transient enhanced diffusion）、接合をチャネル面に形成すべく所定の不純物の熱拡散を行っても、素子毎に予期せぬ拡散を行い、均一な接合深さが得られないからである。全く同様のことが、シリサイド化に伴う金属原子の拡散に対しても当てはまる。膜厚、膜質が不均一であると、せっかくソース・ドレインを追加形成しても、膜厚の薄いところ、膜質の悪いところから金属原子が突出的に拡散し容易に接合面に達してしまう。その結果、接合リークが発生してしまうことになる。

【0011】また、結晶中の金属の拡散はそれ自体極めて急速であるため、追加形成するシリコン層は極めて厚くしなければならない。しかし、上記のような理由から、150nmにも及ぶ極めて厚い選択シリコン成長を、均一に行うことは殆ど不可能である。また、この150nmという厚さは、ほぼゲート電極の高さと等しく、ゲート、ソース、ドレインを一挙にシリサイド化する場合（シリサイド工程）、ゲートとソース、ドレインの電氣的絶縁を保つことが難しくなるという欠点も生じてくる。その上、選択シリコン成長膜はゲート電極に隣接した領域でその膜厚が薄くなる。このため、金属を堆積した層から、接合面への最短距離はこの部分で決ってしまう。選択シリコン成長膜をいくら厚くしても、接合リークを抑制する機能は限られてしまうことになる。

【0012】

【発明が解決しようとする課題】このように従来、素子の微細化に伴い、ソース・ドレイン領域の接合位置を浅

く保ちつつ、且つソース・ドレインの電気抵抗を低く抑えるために、ソース・ドレイン領域上にシリサイド層を形成することが必要になるが、シリサイドを形成する金属原子のシリサイド化反応中の高速拡散と、これが引き起こす接合リークを低く抑えるということが困難になってくる。また、この困難を解消すべく Elevated Source Drain 構造を実現するに当たっては、選択シリコン成長層をゲート電極の高さに匹敵するほど厚く形成しなければならないが、均一で均質な成膜が極めて困難である。

【0013】本発明は、上記事情を考慮して成されたもので、その目的とするところは、ソース・ドレイン領域上にシリサイド層を形成した MOSFET 構造において、浅いソース・ドレイン接合位置を保ちつつ、且つ接合リークを低く抑えることのできる半導体装置の製造方法及び半導体装置を提供することにある。

【0014】

【課題を解決するための手段】（構成）上記課題を解決するために本発明は次のような構成を採用している。

【0015】即ち本発明は、シリコン基板の表面部にゲート電極を挟んで形成されるソース・ドレイン領域の上部にシリサイド層を有する MOSFET 構造の半導体装置の製造方法であって、前記ソース・ドレイン領域の表面の少なくとも一部に、酸化膜を介して所定のイオンを注入する工程と、次いで前記ソース・ドレイン領域上に金属膜を堆積する工程と、次いで熱処理を施して前記金属膜をシリサイド化する工程と、を含むことを特徴とする。

【0016】ここで、本発明の望ましい実施態様としては次のものが挙げられる。

- (1) 酸化膜を介して所定のイオンを注入する領域は、ソース・ドレイン領域のゲート電極側近傍であること。
- (2) 金属膜がソース・ドレイン領域に直接接するように、該金属膜の形成前に酸化膜を除去すること。

【0017】(3) 金属膜として、Co を用いること。

【0018】(4) 注入するイオンは、As であること。

(5) As のイオン注入量を、 $1 \cdot 1 \times 10^{14} \text{ cm}^{-2}$ 以上に設定したこと。

【0019】(6) イオンの注入により基板をアモルファス化させること。

(7) 酸化膜は、ゲート電極の側壁の一部を構成すること。

(8) 注入イオンの飛程は、その後のシリサイド化反応で消費されるシリコン層の厚みよりも小さいこと。

【0020】また本発明は、シリコン基板の表面部にゲート電極を挟んで形成されるソース・ドレイン領域の上部にシリサイド層を有し、ソース・ドレイン領域のゲート電極に近い部分が浅い拡散層で、その外側が深い拡散層である、MOSFET 構造の半導体装置の製造方法であって、前記ソース・ドレイン領域を構成する深い拡散

層の前記ゲート電極側近傍に、酸化膜を介して所定のイオンを注入する工程と、次いで前記酸化膜を除去した後前記ソース・ドレイン領域上に金属膜を堆積する工程と、次いで熱処理を施して前記金属膜をシリサイド化する工程と、を含むことを特徴とする。

【0021】また本発明は、MOSFET 構造の半導体装置の製造方法において、シリコン基板の表面上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクにソース・ドレイン領域となる浅い拡散層を形成する工程と、前記ゲート電極及び基板の表面に酸化膜を形成する工程と、全面に窒化膜を堆積した後エッチバックすることにより、前記ゲート電極の側部に該窒化膜を残存させる工程と、前記ゲート電極及び窒化膜をマスクにソース・ドレイン領域となる深い拡散層を形成する工程と、前記窒化膜を後退させて前記酸化膜を一部露出させる工程と、前記ゲート電極及び窒化膜をマスクにソース・ドレイン領域に所定のイオンを注入することにより、ソース・ドレインの深い拡散層領域のゲート電極側近傍に酸化膜を介してイオン注入する工程と、前記窒化膜の後退により一部露出した酸化膜を除去する工程と、前記ソース・ドレイン領域上に金属膜を形成する工程と、熱処理により前記金属膜をシリサイド化する工程と、を含むことを特徴とする。

【0022】また本発明は、シリコン基板の表面上にゲート絶縁膜を介して形成されたゲート電極と、このゲート電極を挟んで前記基板の表面部に形成されたソース・ドレイン領域と、前記ゲート電極の側部に形成された側壁絶縁膜と、前記ソース・ドレイン領域上に形成されたシリサイド層とを具備してなる MOSFET 構造の半導体装置であって、前記ゲート電極側壁に隣接したシリサイド層と基板シリコン層との界面に、酸素原子が  $5 \times 10^{19} \text{ cm}^{-3}$  以上の濃度、 $5 \times 10^{13} \text{ cm}^{-2}$  以上の面密度で偏析していることを特徴とする。

【0023】ここで、本発明の望ましい実施態様としては次のものが挙げられる。

(1) シリサイド層は、 $\text{CoSi}_2$  で構成されていること。

(2) 側壁絶縁膜はシリコン窒化膜であり、この側壁絶縁膜とゲート電極及びソース・ドレイン領域との間にシリコン酸化膜が形成されていること。

(3) シリサイド層とソース・ドレイン領域接合深さの和が  $100 \text{ nm}$  以下であること。

【0024】（作用）本発明によれば、ソース・ドレイン領域上にシリサイド化すべき金属膜を堆積する前に、酸化膜を介して所定のイオンを注入することにより、ソース・ドレイン領域に“knock-on”酸素を導入することができる。この“knock-on”酸素は、コンタクト抵抗の上昇をもたらすという点では不利であるが、その後のシリサイド工程において、シリサイド化金属の接合面への拡散を防止することになる。従って、浅いソース・ドレ

イン接合位置を保ちつつ、且つ接合リークを低く抑えることが可能となる。

【0025】ここで、上記のイオン注入は、ソース・ドレイン領域の一部であってもよいし全体であってもよいが、図1に示すように、特にソース・ドレイン領域のゲート電極側近傍に行うのが最も望ましい。

【0026】図1に示すように、シリサイド化金属堆積の直前に、ゲート側壁の一部を形成するシリコン酸化膜401、402を介してイオン注入を行う。なお、図中の100はシリコン基板、101、102は素子分離領域、111、112はソース・ドレインを形成する浅い拡散層領域(extension部)、121、122はソース・ドレインを形成する深い拡散層領域、131、132は酸化膜を介してのイオン注入により酸素が導入される領域、200はゲート絶縁膜、300はゲートポリシリコン電極、401、402はゲート電極側部の下部を構成するシリコン酸化膜、501、502はゲート電極側部に形成されたシリコン窒化膜を示している。

【0027】上記のイオン注入によって、MOSFETのソース・ドレイン extension 部に隣接し、回り込み拡散によって形成されるためにその接合深さが浅く、従ってリーク発生が予想されるソース・ドレイン領域のゲート側壁付近131、132に、自己整合的に“knock-on”酸素を導入できる。これにより、その後のシリサイド工程において、シリサイド化金属の接合面への拡散を防止し、効果的にリークの発生を抑止することができるようになる。以下、このことを、図2～図4を用いて説明する。

【0028】まず、シリサイド化金属堆積の直前に、Asなどの物質を酸化膜を介してイオン注入することで、結晶欠陥及び注入イオンが酸化膜中の酸素をはじき出すことによる“knock-on”酸素が、ソース・ドレイン領域表面に導入される。結晶欠陥は、引き続きシリサイド化工程の反応過程を要調整し、これに伴うシリサイド化金属のシリコン基板への拡散を抑制する。さらに、結晶欠陥と“knock-on”酸素が混在することで、シリサイド化金属のシリコン基板への拡散は、さらに著しく抑制されるようになる。

【0029】ここで図2に、酸化膜を介してAsを $1 \times 10^{14} \text{ cm}^{-2}$ イオン注入した後に $\text{CoSi}_2$ を35nm形成したpn接合(C)、イオン注入処理を施さことなく $\text{CoSi}_2$ を35nm形成したpn接合(A)、シリサイド化を行わなかった参照用pn接合(B)のそれぞれにおける接合リーク電流(印加逆バイアス電圧: 4V)を、接合深さの関数として比較して示す。酸化膜を介したAsのイオン注入によってリークは4桁以上抑制され、接合深さ120nm以上ではほぼ参照用pn接合のリークレベルまで低減されていることが分かる。

【0030】また、図3に、酸化膜を介してAsをイオン注入した接合深さ100nmのpn接合のリーク電流

(P)を、Asの注入量に対する関数として示す。リーク電流は注入量と共に単調減少し、 $1.1 \times 10^{14} \text{ cm}^{-2}$ でほぼ参照接合のレベルに達している。また、比較として、酸化膜を介さずAsを $1 \times 10^{14} \text{ cm}^{-2}$ イオン注入したpn接合のリーク電流(Q)を同時に図示してある。“knock-on”酸素の欠如により、酸化膜を介してイオン注入した場合に比べ、リーク電流が2桁程度上昇してしまうことが分かる。

【0031】また、酸化膜を介してAsをイオン注入した場合の、シリサイド層形成後の“knock-on”された酸素の分布をSIMS分析した結果を、図4に示す。シリサイドの形成に伴い、酸素はシリサイド層とシリコン界面に寄せ集められる。ピーク濃度:  $4.5 \times 10^{19} \text{ cm}^{-3}$ 、面密度:  $5 \times 10^{13} \text{ cm}^{-2}$ の酸素が界面に存在することが分かる。このような界面に偏在する酸素によるコンタクト抵抗の上昇は、酸素を含まないコンタクト抵抗に対して、高々1.5倍であった。そして、界面に存在する酸素のピーク濃度及び面密度が上記の値以上であれば、リーク電流が十分に抑制されるのが確認された。

【0032】以上説明したように、シリサイド化直前に酸化膜を介してイオン注入をすることで、シリサイド化に伴うリーク電流の抑制が達成される。その結果、ソース・ドレイン領域の接合の深さは浅く保つことができるので、短チャネル効果は抑制される。このため、ソース・ドレイン extension 部の長さを短縮できると同時に、本手法に基づくリーク電流低減化作用により、MOSFETのソース・ドレイン extension 部の直近にまでシリサイド層を形成することができるようになり、MOSFETの駆動力は向上する。

【0033】一方、接合深さが比較的深く、必ずしも著しいリーク電流の発生が起これにくい(ソース・ドレイン extension 部から離れた)ソース・ドレイン部分には“knock-on”酸素の導入を行わないことも可能なので、この部分でのソース・ドレイン領域とシリサイド層とのコンタクト抵抗は良好に保たれる。

【0034】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

【0035】(実施形態)図5及び図6は、本発明の一実施形態に係わる半導体装置の製造工程を示す断面図である。本実施形態は、C原子の基板への拡散を抑制したシリサイド型MOSFET構造の製造方法である。

【0036】図5(a)は、公知の技術の効果的な方法で形成したシリコン半導体基板100、素子分離領域101、102、及びシリコン半導体基板100の表面に形成されたゲート絶縁膜200、例えばシリコン酸化膜、さらにその上に形成されたゲート電極300、例えばポリシリコンを示している。また、ゲート電極300の左右には、ソース・ドレイン extension の一部となる、基板と逆の導電性を有した浅い拡散層111、11

2が形成されている。

【0037】次いで、図5(b)に示すように、公知の技術のうちの効果的な方法、例えばCVD (Chemical Vapor Deposition) 法などを用いて、シリコン酸化膜400を例えば20nmの膜厚で全面に堆積する。さらに、シリコン酸化膜400に対して選択的にエッチング可能な絶縁膜、例えばシリコン窒化膜500を、例えば70nmの膜厚で全面に堆積する。

【0038】次いで、図5(c)に示すように、これらを形成した基板全面を、反応性プラズマによって垂直方向に異方エッチング(RIE: Reactive Ion Etching)することで、ゲート電極300の左右にゲート側壁絶縁膜を形成する。このとき、シリコン酸化膜401、402、シリコン窒化膜501、502がゲート電極側部に残存する。ここで、RIE工程を操作することで、シリコン酸化膜401、402をゲート電極左右のソース・ドレイン領域を形成すべきシリコン半導体基板上全面に残存させても良いことを付言しておく。

【0039】続いて、ゲート電極300及びゲート側壁絶縁膜をマスクとして、基板と逆導電型不純物を、公知の技術のうちの効果的な方法、例えばイオン注入法を用いて導入する。そして、これらの不純物を熱処理し活性化させ、ゲート電極の左右にソース・ドレイン領域121、122を形成する。このとき、ソース・ドレイン領域121、122が基板との間に形成するpn接合の深さは、ソース・ドレイン extension の一部となる浅い拡散層111、112が形成するpn接合の深さに比べ深い。また、ソース・ドレイン領域121、122が表面からの回り込み拡散で形成されるため、ソース・ドレイン領域121、122のゲート電極側端部においてはpn接合深さは比較的浅いものとなる。

【0040】次いで、図6(d)に示すように、ゲート側壁を形成するシリコン窒化膜501、502を、公知の技術のうちの効果的な方法、例えば昇温したリン酸溶液に浸すことにより、シリコン酸化膜401、402及びシリコン基板100に対して選択的に等方エッチングし、これらを後退させる。この結果、後退したシリコン窒化膜501、502の左右にシリコン酸化膜401、402が露出する。等方エッチングは目的の長さ、例えばシリコン酸化膜401、402を20nmの長さに露出するように、そのエッチング時間等を調整する。

【0041】次いで、図6(e)に示すように、シリコン基板100に対し、例えばAsを加速電圧50kV、注入量 $1 \times 10^{14} \text{ cm}^{-2}$ の条件で、イオン注入する。このとき、露出したシリコン酸化膜401、402の下部131、132には、注入元素であるAsと同時に、シリコン酸化膜401、402中の酸素原子がソース・ドレイン extension の端部と自己整合的に“knock-on”され、導入される。この結果、131、132には結晶欠陥と“knock-on”酸素が混在することになる。一方、

シリコン酸化膜401、402を除去したソース・ドレイン領域にはAsのみが導入され、表面には結晶欠陥を生成しアモルファス化している。このとき、イオン注入原子の飛程は、この後に形成するシリサイド層の膜厚以下に設定することが好ましい。

【0042】次いで、例えばHF溶液に浸すことにより、露出したシリコン酸化膜401、402、即ちゲート側壁部のシリコン窒化膜501、502の左右に突き出た部分を除去する。これに引き続き、公知の技術のうちの効果的な方法、例えばスパッタ法で、C<sub>o</sub>を例えば10nmの厚さで、全面に堆積する。そして、この基板を例えば500℃、30sec窒素中で急速熱処理し、C<sub>o</sub>と直接接しているシリコンとの間でシリサイド化反応を選択的に進行させる。

【0043】これにより、シリサイド領域が、ソース上601、ゲート上603、ドレイン上602にそれぞれ形成される。この場合、最終的なシリサイド層の厚さは35nm程度となる。素子分離領域及びゲート側壁上の未反応のC<sub>o</sub>は、硫酸と過酸化水素水の混合液に浸すことで選択的に除去する。さらに、例えば800℃、30sec窒素中で急速熱処理し、C<sub>o</sub>シリサイドの電気抵抗をさらに低減する。図6(f)は、この段階の半導体装置の断面構成図を示している。

【0044】ここで、前記図2～図4を用いて説明したように、結晶欠陥と“knock-on”酸素が混在する、ソース・ドレイン領域121、122のゲート側端部(回り込み拡散によって形成される比較的浅い拡散層部分)では、C<sub>o</sub>原子の基板への拡散が著しく抑制され、シリサイド層と接合面が近接していても、リーク電流の発生は阻止される。この結果、ソース・ドレイン領域121、122の接合深さを浅くでき、短チャネル効果が抑制できるので、ソース・ドレイン extension 部となる浅い拡散層111、112の長さ(即ち、ゲート側壁の長さ)を短縮できる。

【0045】ソース・ドレイン extension 部は大きな電気抵抗を持つので、これが短縮できれば、MOSFETの駆動力は増大する。加えて、リークの抑制によって、短いソース・ドレイン extension 部の端部直近にまでシリサイド層が形成できることになり、MOSFETの駆動力がさらに向上することになる。一方、接合深さが比較的深く、必ずしも著しいリーク電流の発生が起こりにくい(ソース・ドレイン extension 部から離れた)ソース・ドレイン部分には“knock-on”酸素の導入が行われていないので、この部分でのソース・ドレイン領域とシリサイド層とのコンタクト抵抗は良好に保たれることになる。

【0046】このようにして、非常に浅く短いソース・ドレイン拡散層111、112を備えながら、ゲート、ソース、ドレイン上がシリサイド化され、しかも、金属原子の拡散が抑制されているため接合リークが極めて低



く抑えられ、駆動力が向上した高速動作可能なMOSFET素子が完成する。そして、これに引き続き公知の技術を用いて、層間膜とこれを通じた各電極へのコンタクトの形成、さらには配線工程、実装工程などを経ることにより半導体装置が完成することになる。

【0047】このように本実施形態によれば、シリサイド化すべきCo膜の堆積の直前に、シリコン酸化膜401、402を介してAsをイオン注入することで、結晶欠陥及び注入イオンが酸化膜中の酸素をはじき出すことによる“knock-on”酸素がソース・ドレイン領域表面に導入される。結晶欠陥は、引き続きシリサイド化工程の反応過程を変調し、これに伴うシリサイド化金属のシリコン基板への拡散を抑制する。さらに、結晶欠陥と“knock-on”酸素が混在することで、シリサイド化金属のシリコン基板への拡散は、さらに著しく抑制されるようになる。この結果、酸化膜401、402を介したAsのイオン注入によって、リーク電流は4桁以上抑制され、ほぼ参照用pn接合のリークレベルまで低減される。

【0048】また本実施形態では、ゲート側壁を構成するシリコン窒化膜501、502を等方的に後退させ、ゲート側壁の一部を形成するシリコン酸化膜401、402を介してイオン注入を行うことで、MOSFETのソース・ドレイン extension部に隣接し、回り込み拡散によって形成されるためそのに接合深さが浅く、リーク発生が予想されるソース・ドレイン領域121、122のゲート側壁付近に、リソグラフィ工程を要することなく自己整合的に“knock-on”酸素を導入できる。

【0049】従って、この部分で発生するリークを効果的に抑止することができる。この結果、ソース・ドレインの接合の深さは浅く保つことができるので、短チャネル効果は抑制される。このため、ソース・ドレイン extension部の長さを短縮できると同時に、本手法に基づくリーク電流低減化作用により、MOSFETのソース・ドレイン extension部の直近にまでシリサイド層を形成することができるようになり、MOSFETの駆動力の向上をはかることができる。

【0050】また本実施形態では、接合深さが比較的深く、必ずしも著しいリーク電流の発生が起りにくい（ソース・ドレイン extension部から離れた）ソース・ドレイン部分には“knock-on”酸素の導入を行わないようにしているので、この部分でのソース・ドレイン領域とシリサイド層とのコンタクト抵抗を良好に保つことができる。

【0051】（変形例）なお、本発明は上述した実施形態に限定されるものではない。実施形態では、単一のMOSFETを用いて説明してきたが、本発明の手法が複数の素子に対しても同様に適応可能であること、また半導体装置の一部を形成する素子群に対して選択的に適応すること、或いは異なる導電性のMOSFETに対しても、マスク材を応用して適宜、夫々タイプのMOSF

ETの双方に対して応用できることはいうまでもない。

【0052】また、実施形態では通常のMOSFETを用いて説明してきたが、Elevated source drain 構造に対しても同様に適応可能であることはいうまでもない。このとき、追加形成されたソース・ドレイン層上に酸化膜を堆積する。さらに、必要に応じてこの酸化膜をRIE処理することによって、ゲート側壁に隣接し、その膜厚が薄くなった領域（Facet 部分）に選択的に酸化膜を残存させ、この後にAsをイオン注入することによっても実施形態と全く同じ効果が得られる。このため、必要以上にソース・ドレイン層を追加形成しないで済み、シリサイド化され、且つ接合リークが低く抑えられ、しかもソース・ドレイン高さはゲート電極よりも低く保たれた半導体装置が実現される。

【0053】また、実施形態中でも言及したように、酸化膜を介したイオン注入を、ソース・ドレイン領域全面で行っても効果的なリーク電流の抑制が達成できることは明らかである。さらに、イオン注入を傾斜角を持って行うことにより、注入飛程を短くすると同時に、素子分離領域に埋め込まれた酸化膜からの酸素を、接合の外周に導入し、ゲート側壁近傍のみならず、素子分離との界面でのリークの発生を強く抑制することもできる。

【0054】また、ソース・ドレイン上に形成する金属膜としては必ずしもCoに限るものではなく、Ni、その他の金属を用いることも可能である。さらに、注入するイオンは必ずしもAsに限るものではなく、Ge、Xeを用いることも可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

#### 【0055】

【発明の効果】以上詳述したように本発明によれば、シリサイド化されたソース・ドレイン領域を有する半導体装置の製造方法において、ソース・ドレイン領域の表面の少なくとも一部に、酸化膜を介してAs等のイオンを注入した後、ソース・ドレイン領域上に金属膜を堆積し、次いで熱処理を施して金属膜をシリサイド化することによって、浅いソース・ドレイン接合位置を保ちつつ、且つ接合リークが低く抑えられたMOSFET構造を作成でき、高速化及び高集積化に寄与することができる。

#### 【図面の簡単な説明】

【図1】本発明の特徴部分である、MOSFETのソース・ドレイン領域のゲート側壁付近にイオン注入を用いて自己整合的に酸素を導入する様子を示す断面図。

【図2】本発明を説明するためのもので、酸化膜を介してイオン注入を行うことによる接合リークの抑制を接合深さの関数として示した図。

【図3】本発明を説明するためのもので、酸化膜を介してイオン注入を行うことによる接合リークの抑制をイオン注入量の関数として示した図。



【図4】本発明を説明するためのもので、酸化膜を介してイオン注入を行った後、シリサイド層を形成した時の、シリサイド層及びシリコン基板内の酸素原子の分布を示すSIMS分析結果を示す図。

【図5】本発明の一実施形態に係わるMOSFET構造の半導体装置の製造工程の前半を示す断面図。

【図6】本発明の一実施形態に係わるMOSFET構造の半導体装置の製造工程の後半を示す断面図。

【図7】従来の問題点を説明するためのもので、シリサイド工程中のCのシリコン基板への拡散による接合リークの発生を接合深さの関数として示した図。

【符号の説明】

100…半導体基板

101, 102…素子分離領域

111, 112…ソース・ドレイン extension を形成

する浅い拡散層領域

121, 122…ソース・ドレインを形成する深い拡散層領域

131, 132…酸素が導入されるソース・ドレイン extension 部に隣接した領域

200…ゲート絶縁膜

300…ゲートポリシリコン電極

400…シリコン酸化膜

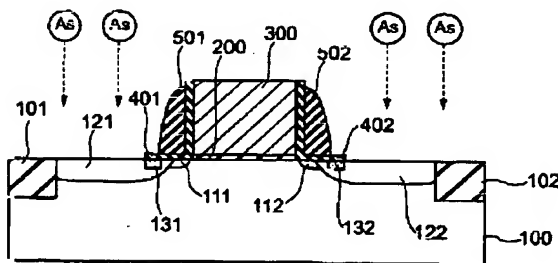
401, 402…ゲート電極側部の下部を構成するシリコン酸化膜

500…シリコン窒化膜

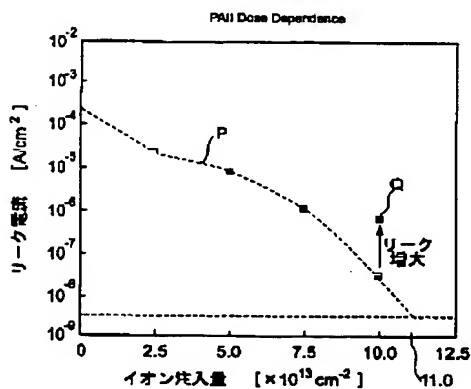
501, 502…ゲート電極側部の上部を構成するシリコン窒化膜

601, 602, 603…ソース、ドレイン、ゲート上のシリサイド領域

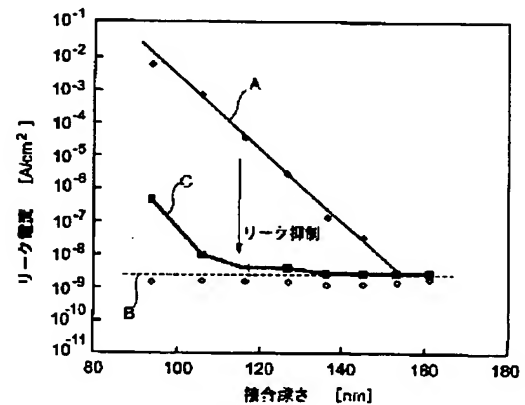
【図1】



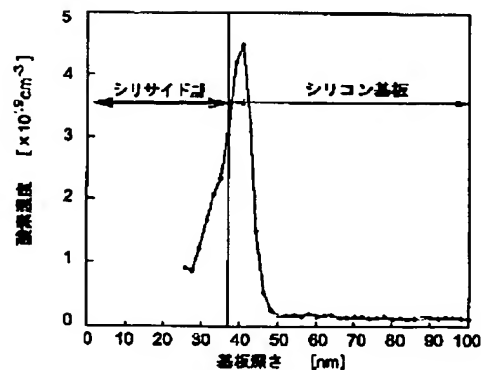
【図3】



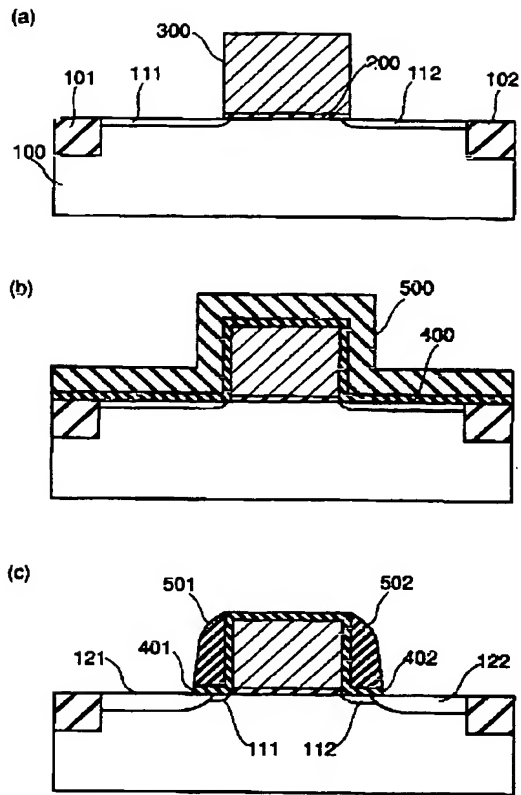
【図2】



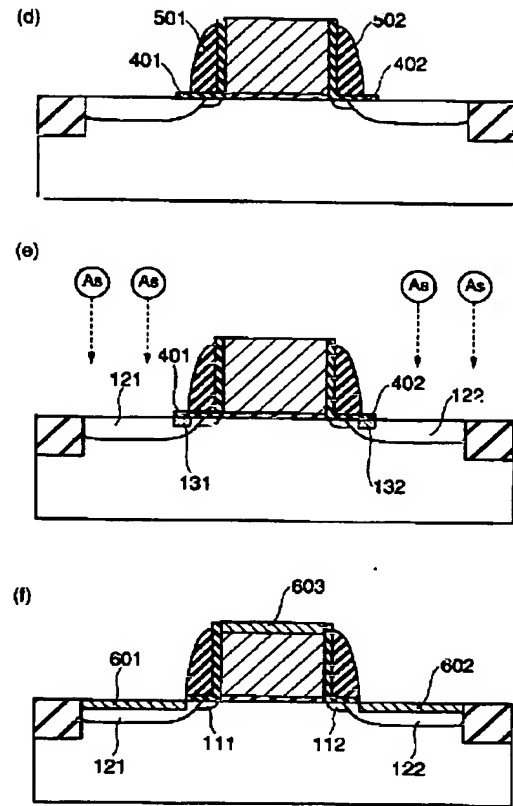
【図4】



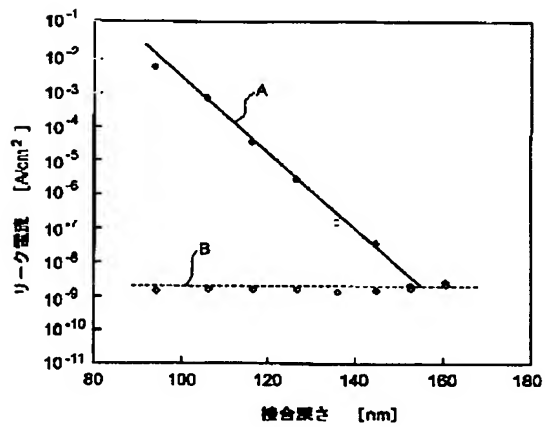
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 5F140 AA13 AA21 AA24 BA01 BF04  
BF11 BF18 BF24 BG09 BG12  
BG14 BG35 BG52 BG53 BG54  
BH06 BH22 BJ01 BJ08 BK02  
BK13 BK14 BK21 BK22 BK34  
BK35 CF04